

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月25日

出願番号

Application Number: 特願2002-279284

[ST.10/C]:

[JP2002-279284]

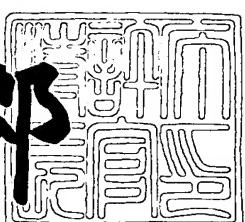
出願人

Applicant(s): セイコーエプソン株式会社

2003年 6月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043854

【書類名】 特許願

【整理番号】 J0091890

【あて先】 特許庁長官殿

【国際特許分類】 H03H 5/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 小木曾 弘幸

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅彦

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック変換器およびそのクロック変換器を備えた電子機器

【特許請求の範囲】

【請求項1】 電圧制御発振手段から取り出したPLL帰還信号と入力信号とを位相比較手段で位相同期させて、所定の周波数のクロック信号を出力するクロック変換器において、

前記電圧制御発振手段は、

電圧制御移相手段を用いた正帰還ループの一部を構成するバッファ手段の一方の出力端子から前記正帰還ループ用の正帰還信号を出力し、他方の出力端子から前記PLL帰還信号を出力することを特徴とするクロック変換器。

【請求項2】 前記電圧制御発振手段のバッファ手段は、ECL(Emitter Coupled Logic)差動増幅回路によって構成されていることを特徴とする請求項1に記載のクロック変換器。

【請求項3】 前記のバッファ手段から出力された前記PLL帰還信号は、インピーダンス調整用の信号伝達手段とPLL帰還信号分周用の帰還分周手段とを介して前記位相比較手段に帰還されることを特徴とする請求項1または請求項2に記載のクロック変換器。

【請求項4】 前記信号伝達手段において、前記バッファ手段から供給された前記PLL帰還信号は、電源とグランド間に直列接続された第1、第2および第3の抵抗の内で前記第1と第2の抵抗との第1の接続点に供給され、前記第2と第3の抵抗との第2の接続点は第1のコンデンサを介してグランドに接地され、さらに前記第1の接続点は前記帰還分周手段中の差動ECL増幅器の第1の入力端子に接続され、前記第2の接続点は前記帰還分周手段中の差動ECL増幅器の第2の入力端子に接続されることを特徴とする請求項3に記載のクロック変換器。

【請求項5】 前記信号伝達手段において、前記バッファ手段から供給された前記PLL帰還信号は、第2のコンデンサを介して、電源とグランド間に直列接続された第1、第2および第3の抵抗の内で前記第1と第2の抵抗との第1の接続点に供給され、前記第2と第3の抵抗との第2の接続点は第1のコンデンサ

を介してグランドに接地され、さらに前記第1の接続点は前記帰還分周手段中の差動CMOS増幅器の第1の入力端子に接続され、前記第2の接続点は前記帰還分周手段中の差動CMOS増幅器の第2の入力端子に接続されることを特徴とする請求項3に記載のクロック変換器。

【請求項6】 前記第2の抵抗の抵抗値を $R_M$ 、該第2の抵抗の両端に接続された前記第1および第3の抵抗の抵抗値をそれぞれ $R_H$ 、 $R_L$ とすると、 $R_H \gg R_M$ 、かつ $R_L \gg R_M$ であることを特徴とする請求項4または請求項5に記載のクロック変換器。

【請求項7】 前記電圧制御発振手段のバッファ手段を構成する差動増幅回路の出力端子は、その差動増幅回路の出力インピーダンスよりも高い抵抗値を有する抵抗で終端されることを特徴とする請求項4に記載のクロック変換器。

【請求項8】 前記第1のコンデンサは、比誘電率 $\epsilon$ が4以上の高誘電材料の基板の一面に形成されたパターンと全面がグランドされた前記基板の裏面との間に形成され、高周波ノイズを除去することを特徴とする請求項4乃至請求項7の何れかに記載のクロック変換器。

【請求項9】 前記電圧制御発振手段はSAW (Surface Acoustic Wave)共振子を用いた電圧制御型SAW発振回路で構成されることを特徴とする請求項1乃至請求項8の何れかに記載のクロック変換器。

【請求項10】 前記電圧制御発振手段はAT水晶振動子を用いた電圧制御型水晶発振回路で構成されることを特徴とする請求項1乃至請求項8の何れかに記載のクロック変換器。

【請求項11】 請求項1乃至請求項10の何れかに記載のクロック変換器を備えた電子機器。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、PLL (Phase Locked Loop) 回路を用いたクロック変換器およびこのクロック変換器を用いた電子機器に関するものであり、より詳細には、数kHz (例えば、8kHz) 台から数百MHz (例えば、622.08MHz) の

基本クロック信号を数百MHz（例えば、622.08MHz）以上の高周波のクロック信号に通倍するためのクロック変換器およびこのクロック変換器を用いた電子機器に関するものである。

## 【0002】

## 【従来の技術】

従来より、固定電話機、携帯電話機、FAX、およびパソコンなどの通信機器は、クロック変換器によってクロック信号の速度が高速化されて通信データの送受信が行われている。また、近年、通信ネットワークのブロードバンド化が進み、市場の要求が400MHzを超えた高周波帯域におけるデータの送受信が行われるようになってきている。このような通信速度の高速化に対応するためのクロック変換器は、高周波帯域において周波数安定度が高いこと、通信機器の使用温度範囲において発振周波数が温度補償されていること、発振回路から出力されるクロック信号のジッタが少ないこと、などが要求されている。

## 【0003】

また、クロック信号を高速に変換するためのクロック変換器の特性条件としては、入力側のクロック信号と出力側のクロック信号が同期していることが必要である。そのため、入力側のクロック信号と出力側のクロック信号の通倍率は整数倍であり、且つ入力側のクロック信号と出力側のクロック信号の立ち上がり波形、立ち下り波形は一致していることが必要である。このような特性条件を実現するために、一般的にPLL回路を用いたクロック変換器による位相同期および周波数通倍が行われている。近年では、通信速度が高速化されるにつれて、数kHz（例えば、8kHz）台の基本クロック信号を数百MHz（例えば、622.08MHz）以上の高周波クロック信号に通倍するための高速通信用のクロック変換器も実現している。

## 【0004】

クロック変換器は電圧制御型発振回路（VCO: Voltage Controlled Oscillator）によって発振周波数が決定される。また、VCOの発振デバイスとしては、例えば、数10MHzで発振するAT水晶振動子が使用されるので、このようなVCOは電圧制御型水晶発振回路（VCXO: Voltage Controlled X'tal Osc

illator) と云われている。

#### 【0005】

図9は一般的なV C X Oの構成を示す概念図である。図9において、発振部18がA T水晶振動子17の発振に基づいて所定周波数の信号を生成する。このとき、数百MHz以上の高周波の信号を出力するためには、周波数倍増部19を設けて発振部18の発振周波数を整数倍して所定高周波の信号を出力する。なお、今日では100MHzを越えるA T振動子もあり、この場合は周波数倍増部19を設けなくても数百MHz以上の高周波の信号を出力することができる。また、負荷回路とのインターフェースを考慮して、差動変換部20から複数の出力信号が差動で取り出せるようになっている。

#### 【0006】

図10は、従来のクロック変換器の構成を示すブロック図である。クロック変換器1'は、位相比較ICチップ2（位相比較手段）、ローパスフィルタ（L P F : Low Pass Filter）3、電圧制御型水晶発振回路（V C X O）4'、および信号伝達回路5によって構成されている。また、位相比較ICチップ2は、位相比較回路（P D : Phase Detector Circuit）6、帰還分周回路（1/N）7、および入力分周回路（1/P）8によって構成されている。このクロック変換器1'の構成は一般的なPLL回路の構成と同じであるので、各部の詳細な動作説明は省略するが、例えば、クロック変換器1'に、たとえば、20MHzで入力されたクロック信号（CK+, CK-）は、たとえば、100MHzのクロック信号（OUT+, OUT-）に周波数倍増されて出力される。

#### 【0007】

ところで、V C X O 4'の出力信号をPLL帰還するために、V C X O 4'中の図示しない出力段のE C L (Emitter Coupled Logic) で構成された差動増幅回路から位相比較回路ICチップ2の帰還分周回路7の入力段へ、信号伝達回路5を介してPLL帰還ループが構成されている。なお、V C X O 4'の出力段の差動増幅回路としては、通常、P E C L (Positive Emitter Coupled Logic) が用いられるので、以下、差動増幅回路をP E C Lと表現する場合がある。一方、位相比較回路ICチップ2の帰還分周回路7の入力段は、差動増幅回路（つまり

、 P E C L ) で構成されたものと差動型 C M O S 回路で構成されたものとがある

。

### 【0008】

図11は、図10に示すクロック変換器における、V C X O の出力段の P E C L 部と位相比較回路 I C チップの帰還分周回路 7 の入力段の P E C L 部との間に設けられた信号伝達回路の構成図である。つまり、図11は、V C X O の出力段の P E C L 部（以下、V C X O · P E C L 部 4' a ）と位相比較回路 I C チップ 2 の帰還分周回路 7 の入力段の P E C L 部（以下、帰還分周回路 · P E C L 部 7 a ）との間のインターフェースを示している。このときの V C X O · P E C L 部 4' a と帰還分周回路 · P E C L 部 7 a との間のインターフェースのインピーダンス基準は  $50\Omega$  である。したがって、V C X O · P E C L 部 4' a の出力端子 T' 2 , T' 3 と帰還分周回路 · P E C L 部 7 a の入力端子 T 7 , T 8 との間は、それぞれの線路ごとに  $50\Omega$  からなる 2 本の伝送線路インピーダンス Z 1 , Z 2 によって接続されている。さらに、それぞれの伝送線路インピーダンス Z 1 , Z 2 の帰還分周回路 · P E C L 部 7 a 側の終端はバイアス抵抗によって分圧されている

。

### 【0009】

また、図12は、図10に示すクロック変換器における、V C X O の出力段の P E C L 部と帰還分周回路 7 の入力段の差動 C M O S 部との間の信号伝達回路の構成図である。つまり、図12は、V C X O の出力段の P E C L 部（V C X O · P E C L 部 4' a ）と帰還分周回路 7 の入力段の差動 C M O S 部（帰還分周回路 · 差動 C M O S 部 7 b ）との間のインターフェースを示している。V C X O · P E C L 部 4' a の出力端子 T' 2 , T' 3 と帰還分周回路 · 差動 C M O S 部 7 b の入力端子 T 7 , T 8 との間は、1 本の配線系統は A C 結合用のコンデンサ C 5 1 で結合され、もう 1 本の配線系統は V C X O · P E C L 部 4' a 側が抵抗 R 5 6 で終端され、帰還分周回路 · 差動 C M O S 部 7 b 側は抵抗 R 5 4 とコンデンサ C 5 2 の並列回路によって終端される。

### 【0010】

つまり、従来のクロック変換器 1' では、図10に示すように、P L L 帰還ル

ープは、VCXO4'の出力端子T2, T3から2本の配線で取り出して、信号伝達回路5を経由して位相比較ICチップ2の帰還分周回路7の入力端子T7, T8へ帰還させている。特に、数百MHz以上のクロック信号のPLL帰還ループによる帰還信号の伝達には、入出力間のインターフェースや伝送線路においてインピーダンス整合をとる必要がある。そのために、入出力間のインターフェースとして、図11に示すように50Ωの伝送線路インピーダンスZ1, Z2を設け、または図11、図12に示すように入出力部に抵抗やコンデンサを接続してインピーダンス整合を行っている。

## 【0011】

本願発明に関連する先行技術文献としては、特許文献1、2が挙げられる。

## 【0012】

## 【特許文献1】

特開平10-319149号公報

## 【特許文献2】

特開平10-261956号公報

## 【0013】

## 【発明が解決しようとする課題】

ところで、クロック変換器1'の出力側に負荷回路を接続すると、負荷の動作状態によってVCXO4'の出力信号(OUT+, OUT-)が変動したり、その波形振幅が低下したりするといった悪影響を与えることがある。このため、PLL帰還ループによるPLL帰還信号も不安定になってクロック変換器1'の系全体が乱調を起すことがある。そこで、このようなPLL帰還ループの悪影響を軽減するために、VCXO4'の出力側に図示しないバッファ回路を接続してPLL帰還ループの負荷回路からの影響を軽減するための手段が講じられている。しかし、このような手段を設けるためには実負荷によるカットアンドトライによって部品定数を決めなければならないし、また、相当数の部品の追加が必要となってクロック変換器1'の小型化や低価格化を実現することができないなどの問題もある。

## 【0014】

また、図9に示すように、発振デバイスとしてAT水晶振動子17を用いる場合は、主振動と同時に副振動が励起されて共振点が多く存在し、かつ周波数倍部19自身が主振動の整数倍の高周波を発生するので、出力信号にスプリアスやノイズが混在して出力信号にジッタを発生させる要因となり、低ジッタ化が実現できないなどの問題がある。さらに、周波数倍部19などを設けることによってVCOが大型化してしまうこともある。

## 【0015】

また、図11のように、VCOの差動增幅回路と帰還分周回路7の差動增幅回路が共にPEC-Lの場合は、通常、変換周波数が数百MHz（例えば、622.08MHz）以上の場合のクロック変換器に使用されるが、下記のような種々の問題点がある。1つ目は、図10の各機能ブロックにおける電源及びグランドはそれぞれ共通で使用されると共に低インピーダンスを有するため、電源やグランドの電位が変動するとノイズが重畠されて各機能ブロックに相互に影響し合うという不具合が生じる。例えば、位相比較回路6におけるスイッチングノイズが電源やグランドを介して他の機能ブロック、例えばVCO4'に伝播することがある。

## 【0016】

2つ目は、クロック変換器1'の各部品が搭載されている基板は、例えば基板サイズが20mm×30mm程度と小さいため、部品間が近接してアイソレーションができないために電磁結合したり容量結合したりしやすく、各部品が相互に電気的に悪影響を及ぼすという不具合が生じる。3つ目は、本来、差動動作によって生じるデファレンシャルノイズを除去してS/N比が良好になる差動增幅回路を使用しているにも関わらず、基板の大きさが制限されているため、スペース的な面から複数の入出力信号で動作するように差動增幅回路を構成することができない。4つ目は、例えば、クロック信号が200MHz以上の高周波回路においては、通常、図11に示すように、信号の受け渡しに50Ωのストリップ線路を伝送線路インピーダンスZ1, Z2として使用することが標準仕様であるが、これらの伝送線路インピーダンスZ1, Z2を形成するための配線スペースが必要となり、結果的にクロック変換器1'が大型化してしまうという問題がある。

## 【0017】

また、図12のように、VCXOの差動増幅回路がPECLであり、帰還分周回路7の差動増幅回路がCMOS回路である場合は、通常、変換周波数が100MHz程度以下の場合のクロック変換器に使用されるが、以下のような問題点がある。つまり、図12に示すように、VCXO・PECL部4'aと帰還分周回路・差動CMOS部7bとのバイアス電圧の違いによって、PLL帰還ループの信号の入出力間にAC結合用のコンデンサC51を接続する必要があるため、VCXO・PECL部4'a側で終端抵抗R55をグランドに落とす必要がある。

## 【0018】

しかも、このときの終端抵抗R55の値は、図11の伝送線路インピーダンスZ1, Z2のインピーダンス値である50Ωと同じ値にする必要がある。したがって、この終端抵抗R55に流れる電流は、電源電圧によっても異なるが、例えば50~60mA程度とかなり大きくなるために消費電力が大きくなり、低消費電力化にそぐわないという問題を生じる。なお、クロック変換器に供給する電源電圧をVccとした場合、バイアス電圧は、VCXO・PECL部4'aでは一般にVcc-2V、帰還分周回路・差動CMOS部7bでは1/2Vccである。

## 【0019】

本発明は、上述の課題に鑑みてなされたもので、その目的とするところは、負荷回路に影響されないようにPLL帰還して安定した高周波のクロック信号を出力すると共に配線パターンを削減して小型化したクロック変換器およびそのクロック変換器を備えた電子機器を提供することにある。

## 【0020】

## 【課題を解決するための手段】

上記の目的を達成するため、第1の発明は、電圧制御発振手段から取り出したPLL帰還信号と入力信号とを位相比較手段で位相同期させて、所定の周波数のクロック信号を出力するクロック変換器において、電圧制御発振手段は、電圧制御移相手段を用いた正帰還ループの一部を構成するバッファ手段の一方の出力端子から正帰還ループ用の正帰還信号を出力し、他方の出力端子からPLL帰還信

号を出力することを特徴とする。

【0021】

上記の第1の発明によれば、電圧制御移相手段を用いた正帰還ループの一部を構成するバッファ手段の2つの出力端子のうち、一方をPLL帰還ループ用として使用し、他方を正帰還ループ用として使用しているので、PLL帰還ループの配線を1本にすることができると共に、クロック変換器の出力回路からPLL帰還ループをとる必要がなくなるので、PLL帰還ループの信号が負荷によって変動することはなくなる。

【0022】

また、第2の発明のクロック変換器における電圧制御発振手段のバッファ手段は、ECL (Emitter Coupled Logic) 差動増幅回路によって構成されていることを特徴とする。

【0023】

上記の第2の発明によれば、電圧制御発振手段を構成するバッファ手段にECL差動増幅回路を用いることによって、バッファ手段の集積回路化が容易になるとともに、その構成を簡素化することができる。

【0024】

また、第3の発明のクロック変換器においては、電圧制御発振手段のバッファ手段から出力されたPLL帰還信号は、インピーダンス調整用の信号伝達手段とPLL帰還信号分周用の帰還分周手段とを介して位相比較手段に帰還されることを特徴とする。

【0025】

上記の第3の発明によれば、インピーダンス調整用の前記信号伝達手段は、電圧制御発振手段のバッファ手段と帰還分周手段間のインピーダンスの整合を良好に取ることができ、また、帰還分周手段へ入力されるPLL帰還信号の電圧レベルを高く設定することができるので、PLL帰還信号の立ち上がり立ち下がりを急峻にして帰還分周手段における差動動作を安定させ誤動作を防止することができる。

【0026】

また、第4の発明のクロック変換器における信号伝達手段においては、前記バッファ手段から供給されたPLL帰還信号は、電源とグランド間に直列接続された第1、第2および第3の抵抗の内で前記第1と第2の抵抗との第1の接続点に供給され、前記第2と第3の抵抗との第2の接続点は第1のコンデンサを介してグランドに接地され、さらに前記第1の接続点は前記帰還分周手段中の差動ECL増幅器の第1の入力端子に接続され、前記第2の接続点は前記帰還分周手段中の差動ECL増幅器の第2の入力端子に接続されることを特徴とする。

#### 【0027】

上記の第4の発明によれば、バッファ手段の出力段の差動ECL増幅器と位相比較手段を構成する帰還分周手段の入力段の差動ECL増幅器との間に設けられた、いわゆる差動ECL増幅器間で信号伝達手段を構成する場合、従来のように $50\Omega$ のストリップ線路や専用ケーブルを使用する必要がなく、基板上に形成した配線パターンと部品のレイアウトによって直流バイアス手段を兼ね備えたPLL帰還ループの形成とインピーダンス整合を行うことができるので、信号伝達手段の更なる小スペース化を図ることができる。

#### 【0028】

また、第5の発明のクロック変換器における信号伝達手段においては、前記バッファ手段から供給されたPLL帰還信号は、第2のコンデンサを介して、電源とグランド間に直列接続された第1、第2および第3の抵抗の内で前記第1と第2の抵抗との第1の接続点に供給され、前記第2と第3の抵抗との第2の接続点は第1のコンデンサを介してグランドに接地され、さらに前記第1の接続点は前記帰還分周手段中の差動CMOS増幅器の第1の入力端子に接続され、前記第2の接続点は前記帰還分周手段中の差動CMOS増幅器の第2の入力端子に接続されることを特徴とする。

#### 【0029】

上記の第5の発明によれば、バッファ手段の差動型ECL増幅器と帰還分周手段中の差動型CMOS増幅器間のPLL帰還ループについては高インピーダンス線路が使用できるので、その配線パターンの線幅を細くすることができ、もって基板の小スペース化を図ることができる。また、PLL帰還ループの高インピー

ダンス化によって、電圧制御発振手段を構成するバッファ手段の差動型ECL増幅器側の終端抵抗を大きくすることができるので、クロック変換器の消費電力を軽減することができる。

## 【0030】

また、第6の発明のクロック変換器は、第2の抵抗の抵抗値を $R_M$ 、第2の抵抗の両端に接続された第1および第3の抵抗の抵抗値をそれぞれ $R_H$ 、 $R_L$ とすると、 $R_H \gg R_M$ 、かつ $R_L \gg R_M$ であることを特徴とする。

## 【0031】

上記の第6の発明によれば、信号伝達手段において、帰還分周手段のECL差動型増幅器および差動型CMOS回路の入力第1および第3の抵抗の抵抗値をそれぞれ第2の抵抗の抵抗値より大きくとることによって、バッファ手段と帰還分周手段のインピーダンスの整合性を良くし、もしくは、PLL帰還ループ信号の振幅を大きく確保することができる。これにより、PLL帰還ループ信号の立ち上がり／立ち下がりを急峻にして帰還分周手段のECL差動型増幅器又は差動型CMOS回路の差動動作を安定化させ誤動作を防止することができる。

## 【0032】

また、第7の発明のクロック変換器において、電圧制御発振手段のバッファ手段を構成する差動増幅回路の出力端子は、その差動増幅回路の出力インピーダンスよりも高い抵抗値を有する抵抗で終端されることを特徴とする。

## 【0033】

上記の第7の発明によれば、電圧制御発振手段のバッファ手段を構成する差動増幅回路の出力端子に接続される終端抵抗を、その差動増幅回路の出力インピーダンスよりも高い値にすることによって、差動増幅回路に使用されているエミッタ開放型の差動型ECL増幅器の消費電力を小さくできる。

## 【0034】

また、第8の発明のクロック変換器においては、帰還分周手段中の第1のコンデンサは、比誘電率 $\epsilon$ が4以上の高誘電材料の基板の一面に形成されたパターンと全面がグランドされた前記基板の裏面との間に形成され、高周波ノイズを除去することを特徴とする。

## 【0035】

上記の第8の発明によれば、配線用パターンを形成する基板に高誘電率の基板を使用し、かつ、高周波信号が入力される帰還分周手段の差動ECL増幅器の入力端子近傍にバイパスコンデンサを附加しているので、高誘電率の基板の配線用パターンと基板裏面の全面に形成されたパターンとの間で小容量の第1のコンデンサが形成され、この第1のコンデンサを介して高周波ノイズを除去することができる。

## 【0036】

また、第9の発明のクロック変換器における電圧制御発振手段はSAW (Surface Acoustic Wave) 共振子を用いた電圧制御型SAW発振回路で構成されることを特徴とする。

## 【0037】

上記の第9の発明によれば、電圧制御発振手段にSAW共振子を用いるので、主振動以外の副振動と結合しにくく、所定の周波数以外には共振点は存在しないという利点がある。また、SAW共振子を用いると、高周波の発振信号が直接に得られるために倍倍部が不要となるので、ジッタの少ない出力信号が得られるという利点もある。

## 【0038】

また、第10の発明のクロック変換器における電圧制御発振手段はAT水晶振動子を用いた電圧制御型水晶発振回路で構成されることを特徴とする。

## 【0039】

上記の第10の発明によれば、電圧制御発振手段にAT水晶振動子を適用しても、上記したと同様の効果が得られる。

## 【0040】

また、第11の発明は、上記の各発明によるクロック変換器を備えるように構成される。

## 【0041】

上記の第11の発明によれば、上記の各発明のクロック変換器を光トランシーバ用モジュールに用いることによって、ジッタが多く含まれたクロック信号が入

力されても、ジッタの非常に少ない安定化された高周波のクロック信号を光トランシーバ用モジュールの多重化部へ供給することができる。これによって、多重化部において多重化される送信データとクロック信号との間におけるタイミングマージンが確保されるので、多重化部の送信データの誤動作を防止することができる。また、動画像のような大量のデータが伝送できる10ギガビットに代表される高速なネットワークシステムにおいても、安定した動作を容易に確保することができる。

## 【0042】

## 【発明の実施の形態】

先ず、本発明におけるクロック変換器の概要について述べる。本発明におけるクロック変換器の第1の特徴は、VCO（電圧制御型発振回路）中で電圧制御移相手段を用いた正帰還ループの一部を構成するバッファ回路の2つの出力端子のうち、一方をPLL帰還ループ用として使用し、他方を正帰還ループ用として使用していることである。これによって、PLL帰還ループの配線を1本にすることができると共に、クロック変換器の出力回路からPLL帰還ループをとる必要がなくなるので、PLL帰還ループの信号が負荷によって変動することはなくなる。

## 【0043】

また、本発明におけるクロック変換器の第2の特徴は、VCOの正帰還ループ用差動バッファ回路は、ECLラインレシーバなどを用いたPECLを使用し、かつ、このVCOのPECL部から位相比較ICチップの帰還分周回路のPEC部へのPLL帰還ループを用いてPLL帰還信号を伝達する場合は、配線用パターンを形成する基板に高誘電率の基板を使用し、かつ、高周波信号が入力される帰還分周回路のPECL部の入力端子近傍にバイパスコンデンサを附加していることである。これによって、高誘電率の基板の配線用パターンと基板裏面の全面に形成されたパターン（以下、ベタパターンという）との間で小容量のコンデンサ（第1のコンデンサ）が形成され、このコンデンサを介して高周波ノイズを除去すると共に、あらかじめ付加されているバイパスコンデンサによって低周波ノイズを除去することができる。

## 【0044】

また、本発明におけるクロック変換器の第3の特徴は、このVCOのPECL部から位相比較ICチップの帰還分周回路の差動型CMOS回路へのPLL帰還ループを用いてPLL帰還信号を伝達する場合は、PLL帰還ループにAC結合用コンデンサを介在させると共に、PLL帰還ループの線路パターンを微細な配線にして高インピーダンス線路を形成しているところにある。さらに、VCOのPECL部のバイアス抵抗を大きくとることによって省電力化を図ると共に、帰還分周回路の差動型CMOS回路のバイアス抵抗を大きくとることによって入力信号の大振幅化を図っているところにある。

## 【0045】

ここで、クロック変換器の発振源となるVCOとしては、クロック信号の周波数帯域が100MHz以下のは場合は、短冊型の水晶チップによるAT水晶振動子（高周波水晶振動子）を搭載した電圧制御型水晶発振回路（VCXO）が用いられ、クロック信号の周波数帯域が100～200MHzの場合は、AT水晶振動子、またはメサ型、逆メサ型の水晶振動子を用いたVCXOが用いられている。さらに、クロック信号の周波数帯域が200MHz以上の場合は、弾性表面波を利用したSAW（Surface Acoustic Wave）共振子を搭載した電圧制御型SAW発振回路（電圧制御発振手段）（VCSO：Voltage Controlled SAW Oscillator）が用いられる。なお、VCXOを用いてその出力段に周波数倍器を設けて200MHz以上のクロック信号を出力することもできる。

## 【0046】

上記のSAW共振子は、圧電基板上にすだれ状の励振電極と梯子状の反射器を配置し、励振電極で励振された表面波を反射器で反射させることで定在波を発生させ、共振子として機能するものである。このSAW共振子は、振動エネルギーがSAW共振子表面に局在して主振動以外の副振動と結合しにくいため、AT水晶振動子と比較すると、所定の周波数以外には共振点は存在しないという利点がある。また、SAW共振子を用いたVCSOは、高周波の発振信号が直接に得られるために倍倍部が不要となるので、AT水晶振動子を用いたVCXOに比べてジッタの少ない出力信号が得られるという利点もある。

## 【0047】

また、クロック信号の周波数精度は、経時変化による長期的精度については、周波数偏差の相対的变化量 ( $\Delta f / f \times 10^{-6}$ ) に基づいて比較しているので、クロック信号の周波数が高くなても周波数精度は変わらない。しかし、周波数が温度ドリフトや負荷容量などで変動するジッタによる短期的精度については、時間軸上における周波数変動分の絶対値 (ピコセカンド: p s) で比較しているので、クロック信号の周波数が高周波帯域になるほど周波数精度が悪くなる傾向にある。そこで、クロック信号の周波数が 200 MHz 以上の場合には、通常、ジッタの少ない SAW 共振子による VCSO を用いて、短期的な周波数精度の向上を図っている。

## 【0048】

従って、以下に述べる本発明の実施の形態では、ジッタが少なく短期的な周波数精度のよい VCSO を用いたクロック変換器について説明する。図 1 (a) は、本発明の実施の形態におけるクロック変換器の構成を示すブロック図であり、(b) は位相比較回路の内部の構成を示すブロック図である。図 1 (a) に示すクロック変換器 1 は、位相比較 IC チップ 2、ローパスフィルタ (LPF) 3、電圧制御型 SAW 発振回路 (VCSO) 4、および信号伝達回路 5 によって構成されている。

## 【0049】

また、位相比較 IC チップ 2 は IC 化されたブロックであり、位相比較回路 (PD) 6、帰還分周回路 (1/N) 7、および入力分周回路 (1/P) 8 によって構成されている。さらに、位相比較回路 6 は、図 1 (b) に示すように、位相比較部 6a とチャージポンプ 6b とによって構成されている。このような構成において、たとえば、クロック変換器 1 に 100 MHz で入力されたクロック信号 (CK+, CK-) は、600 MHz のクロック信号 (OUT+, OUT-) に周波数倍されて出力される。なお、本発明のクロック変換器 1 は、例えば、15 mm × 15 mm 程度の大きさの基板に搭載される。又、入力されるクロック信号と出力されるクロック信号のそれぞれの周波数が同一となる場合もある。

## 【0050】

次に、本発明に直接関係する部分の構成要素の機能について説明する。VCSO4はSAW共振子を用いた発振回路であり、発振信号の周波数に応じて外部からの制御電圧Vcにより発振回路内の位相を制御し、所定の周波数のクロック信号を生成する。出力端子T4はVCSO4の正帰還ループ用差動バッファ回路からのPLL帰還信号を送出するPLL帰還ループ用の出力端子である。この出力端子T4から信号伝達回路5を介して位相比較ICチップ2へPLL帰還信号が送出される。

#### 【0051】

信号伝達回路5は、VCSO4のPLL帰還ループ用の出力端子T4と位相比較部ICチップ2中の帰還分周回路7の入力端子T5との間の設けられ、VCSO4と位相比較部ICチップ2の帰還分周回路(1/N)の間で高周波信号の受け渡しを効率よく行わせる機能を持つインターフェース回路である。この信号伝達回路5は、PLL帰還ループのインピーダンスの整合性を取り、または位相比較部ICチップ2内の位相比較回路6のバイアス電圧を決定する。

#### 【0052】

また、位相比較回路(PD)6においては、図1(b)に示すように、位相比較部6aが、PLL帰還ループを伝送して帰還分周回路(1/N)7を介して入力されたPLL帰還信号と、外部から入力分周回路(1/P)8を介して入力されたクロック信号との位相比較を行い、位相差に基づいてアップダウン信号(U, D)を生成してチャージポンプ6bへ送出する。チャージポンプ6bはアップダウン信号(U, D)によるアナログ制御を行い、位相比較部6aにおける比較結果を出力しローパスフィルタ(LPF)3へ送出する。つまり、位相比較回路(PD)6は、PLL帰還信号と入力されたクロック信号との位相差に対応した位相差信号をローパスフィルタ(LPF)3へ出力する。

#### 【0053】

ローパスフィルタ(LPF)3は、位相比較回路(PD)6の差動動作によって発生したノイズを除去して、クロック信号とPLL帰還信号の位相差に応じた制御電圧VcをVCSO4の電圧制御型移相回路14(図2参照)へ送出する。なお、帰還分周回路(1/N)7は、PLL帰還ループからのPLL帰還信号を

入力分周回路（1/P）8からの出力周波数に合わせるために分周するための分周器である。また、入力分周回路（1/P）8は、入力側のクロック信号を分周して位相比較回路6へ入力するための分周器である。

#### 【0054】

図2は、図1に示すクロック変換器内のVCSOの構成を示すブロック図である。VCSO4は、差動バッファ11, 12, 13がICチップによって構成されたVCO・PECL部4aと、可変容量ダイオードにより位相シフトさせる電圧制御型移相回路14と、弹性表面波によって振動を発生させるSAW共振子15と、差動バッファ（バッファ手段）11の入力端子間にバイアス電圧をかけるインピーダンスZd16とによって構成されている。なお、電圧制御型移相回路14は、端子T1へ制御電圧Vcを印加することによって図示しない可変容量ダイオードのリアクタンスを変化させて位相シフトを行い、外部からの入力信号（クロック信号）とPLL帰還信号との位相差がゼロになるようにSAW共振子15の共振信号の位相を制御するものである。

#### 【0055】

SAW共振子15から出力された共振信号は、インピーダンスZd16の両端に発生する電圧信号レベルとして差動バッファ11に入力される。さらに、差動バッファ11の出力信号は、差動バッファ12を介して、1組のクロック信号（OUT+, OUT-）として送出される。一方、差動バッファ11の出力信号は差動バッファ（バッファ手段）13に入力される。そして、差動バッファ13の一方の出力端子T'5から、SAW共振子15の共振信号と180°位相差がある正帰還信号Q2が電圧制御型移相回路14へ入力される。これによって、電圧制御型移相回路14は、入力された正帰還信号Q2を制御電圧Vcによって位相シフトさせてSAW共振子15を高周波発振させる。このようにして、出力端子T2, T3から、例えば、600MHzのクロック信号（OUT+, OUT-）を出力することができる。

#### 【0056】

一方、差動バッファ13の他方の出力端子T'4から、SAW共振子15の共振信号と同相のPLL帰還信号Q1が出力される。このPLL帰還信号Q1は、

図1に示すように、VCSO4の出力端子T4から信号伝達回路5を介して位相比較ICチップ2の帰還分周回路7の入力端子T5へ帰還される。

#### 【0057】

図3は、図2に示す差動バッファ11, 12, 13の具体的な構成を示す差動増幅回路の回路図である。つまり、差動バッファ11, 12, 13は何れもECLラインレシーバと呼ばれる同じエミッタ開放型の差動増幅回路（以下、差動ECL増幅回路ともいう）によって構成されている。なお、図3の差動増幅回路は、図2のVCSO・PECL部4aにおける差動バッファ12の差動増幅回路を示しており、抵抗R1, R2は、外付け用として、それぞれ出力端子T'2, T'3（差動バッファ13の場合には、抵抗R1, R2はそれぞれT'4, T'5）に接続される。

#### 【0058】

図3に示す差動増幅回路は、一般的な回路であるので詳細な動作説明は省略するが、180°位相の異なる入力信号（IN+, IN-）によってトランジスタTr1, Tr2が差動反転動作を繰り返し、トランジスタTr3のOUT-およびTr4のOUT+より増幅並びに波形整形された差動信号を取り出すことができる。なお、トランジスタTr5は発振信号のバイアスレベルを可変設定するための手段である。

#### 【0059】

差動バッファ11, 12, 13にECLラインレシーバを用いることにより、電圧制御発振回路を構成するVCSO・PECL部の差動バッファは、集積回路化が容易になるとともに、その構成を簡素化することができる。

#### 【0060】

つまり、本発明におけるクロック変換器の特徴は、図2に示すように、差動バッファ13の2出力端子のうち、一方の出力端子を正帰還ループ用として用い、他方の出力端子をPLL帰還ループ用として用いている点である。以下に、差動バッファ13を構成する差動ECL増幅回路（PECLともいう）から位相比較ICチップ2の帰還分周回路7の入力段へPLL帰還信号を帰還させるPLL帰還ループの信号伝達回路5について幾つかの実施例を説明する。信号伝達回路5

について、帰還分周回路7の差動増幅回路が差動ECL増幅回路（PECL）であるか差動CMOS回路であるかによって、以下の2つの例に分けて説明する。

## 【0061】

## 第1の例

先ず、VCSOの差動増幅回路がPECLであり、帰還分周回路7の差動増幅回路がPECL回路である場合の信号伝達回路について説明する。図4は、図1に示すクロック変換器1におけるVCSOの出力段のPECL部と位相比較回路ICチップの帰還分周回路7の入力段のPECL部との間に挿入された信号伝達回路の構成図である。つまり、信号伝達回路5は、VCSOの出力段のPECL部（VCSO・PECL部4a）の出力端子T4と位相比較回路ICチップの帰還分周回路7の入力段のPECL部（帰還分周回路・PECL部7a）の入力端子T5との間に、インターフェースのインピーダンス基準値である50Ωとなるよう、高誘電材料の基板に幅の狭いパターン配線を施してPLL帰還ループを形成する。

## 【0062】

さらに、高周波信号を入力する側の帰還分周回路・PECL部7aの入力端子T5とT6を、3つのバイアス抵抗R11, R12, R13の直列接続によって分圧する。つまり、バイアス抵抗R11（第1の抵抗）の一端を電源電圧Vccのラインに接続し、バイアス抵抗R13（第3の抵抗）の一端をグランド側に接続にすると共に、中間に位置するバイアス抵抗R12（第2の抵抗）の両端（第1の接続点、第2の接続点）から帰還分周回路・PECL部7aの入力端子T5（第1の入力端子）、T6（第2の入力端子）へ接続する。また、帰還分周回路・PECL部7aの入力端子T6とグランドとの間（つまり、バイアス抵抗R13と並列）に低周波ノイズ除去用のコンデンサC11（第1のコンデンサ）を接続する。コンデンサC11は、入力端子T6に直接接続することが望ましい。なお、VCSO・PECL部4aの出力側のPLL帰還ループが形成されていない側の端子T'5は、抵抗R14を通してグランドへ落とすと共に、図2に示すように正帰還ループとして電圧制御型移相回路14へ接続する。

## 【0063】

また、3つのバイアス抵抗R11, R12, R13の関係は、中間に位置して入力端子T5, T6をバイアスする抵抗R12と両端の抵抗R11, R13との関係が、 $R11 \gg R12$ 、かつ、 $R13 \gg R12$ となるようにR12を決定する。例えば、 $R11 = 4.3 \text{ k}\Omega$ 、 $R13 = 2.7 \text{ k}\Omega$ 、 $R12 = 100 \Omega$ とすると、帰還分周回路7への入力インピーダンスを $50 \Omega$ とすることができます。このようにして、帰還分周回路・PECL部7aの入力端子T5, T6の差動入力信号の電圧レベルをほぼ等しくして、入力端子T5のインピーダンスとPLL帰還ループのインピーダンスとをインピーダンス整合させれば、VCOSO・PECL部4aおよび帰還分周回路・PECL部7aの差動増幅回路の差動動作を安定化させることができる。

#### 【0064】

さらに、信号伝遡回路5の配線パターンを形成する基板は、『ガラス布基材高誘電率変性エポキシ樹脂』などの高誘電率の基板を使用する。例えば、このような高誘電率の基板材料として、日立製のMCL-HD-67（登録商標）などがある。この基板材料の誘電率 $\epsilon$ はティピカル値で10.4程度であるが、通常、 $\epsilon = 4$ 以上の基板を用いることが望ましい。このような高誘電率の基板を使用することにより、線幅の狭い配線パターンによって、 $50 \Omega$ 程度の低インピーダンスのPLL帰還ループを形成することができる。

#### 【0065】

図5は、図4に示す信号伝遡回路5の基板上の配線パターンを示すパターン図である。図5に示すように、VCOSO・PECL部4aの出力端子T4と帰還分周回路・PECL部7aの入力端子T5との間のPLL帰還ループの配線パターン幅は、たとえば、0.1mmであり、帰還分周回路・PECL部7a側の抵抗R12, R13、およびコンデンサC11などのグランド側に接続するディスクリート部品の配線パターンは、たとえば、0.3mmである。

#### 【0066】

一方、基板の裏面側には一面にベタパターンが形成されてグランドに落とされている。従って、上記のディスクリート部品（R12, R13, C11）のグランド側の線幅を0.3mm程度まで太くすることによって、これらの配線パター

ンとグランドとの間に所望の静電容量のコンデンサ（第1のコンデンサ）を形成することができ、高周波ノイズなどを除去することができる。つまり、外付けの低周波ノイズ除去用のコンデンサC11は、静電容量が10,000 pF程度であって比較的静電容量が大きいので低周波のノイズを除去することができ、配線パターンとグランドとの間に形成されたコンデンサは静電容量が3 pF程度であるので数百MHzの高周波のノイズを除去することができる。

## 【0067】

図6は、図1に示すクロック変換器1における、VCSOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段のPECL部との間の信号伝達回路の他の構成図である。つまり、図6の実施例は、図4の実施例とPLL帰還ループの配線パターンは同じであるが、帰還分周回路・PECL部7a側の分圧抵抗の構成が異なっている。図6の実施例では、帰還分周回路・PECL部7a側の入力端子T5とT6との間に抵抗R22を接続すると共に、Vccとグランドとの間を2つバイアス抵抗R21とR23で分圧して入力端子T6に接続している。また、入力端子T6とグランドとの間に低周波ノイズ除去用のコンデンサC21を接続している。帰還分周回路・PECL部7aの入力段のディスクリート部品を図6のように構成しても、帰還分周回路・PECL部7aの入力端子T5のインピーダンスとPLL帰還ループの50Ωとをインピーダンス整合させることができる。なお、VCSO・PECL部4aのPLL帰還ループが形成されていない側の端子に接続された回路構成は図4と同じである。

## 【0068】

## 第2の例

次に、VCSOの差動增幅回路がPECLであり、帰還分周回路7の差動增幅回路がCMOS回路である場合の信号伝達回路について説明する。図7は、図1に示すクロック変換器における、VCSOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段の差動CMOS部との間に挿入された信号伝達回路の構成図である。つまり、図7の信号伝達回路は、VCSO4の出力段のVCSO・PECL部4aと帰還分周回路7の入力段の帰還分周回路・差動CMOS部7bとの間のインターフェースを示している。VCSO・PECL部4aの

出力端子T4と帰還分周回路・差動CMOS部7bの入力端子T5との間の1本のPLL帰還ループはAC結合用のコンデンサC32（第2のコンデンサ）で結合されている。

## 【0069】

VCSO・PECI部4aと帰還分周回路・差動CMOS部7bを接続するPLL帰還ループは高インピーダンス線路であるので、高誘電材料の基板上に配線幅が極細な配線パターンを形成して高インピーダンス化を図っている。つまり、帰還分周回路7側の差動増幅回路は差動型CMOS回路によって構成されているため、その入力インピーダンスが高いので、入力側のPLL帰還ループの配線パターンの線幅を細くして基板の小スペース化とともに、高インピーダンス化して入出力間のインピーダンス変換（調整）をしている。

## 【0070】

なお、帰還分周回路・差動CMOS部7bの入力端子T5（第1の入力端子）とT6（第2の入力端子）を3つバイアス抵抗R31（第1の抵抗）、R32（第2の抵抗）、R33（第3の抵抗）で分圧する構成、および低周波ノイズ除去用のコンデンサC31（第1のコンデンサ）をグランドに接続する構成は、図4に示すPECI部-PECI部間の場合の構成と全く同じである。さらに、3つのバイアス抵抗R31、R32、R33の関係についても、図4の場合と同様に、中間に位置する抵抗R32とこれの両端（第1の接続点、第2の接続点）に接続される抵抗R31、R33との関係が、 $R31 \gg R32$ 、かつ、 $R33 \gg R32$ となるようにR32をR31、R33と比べて低抵抗にする。ただし、差動CMOS部はPLL帰還ループの配線パターンが高インピーダンスであるので、バイアス抵抗R31、R32、R33の抵抗値は図4のPECI部の場合に比べて高くなっている。たとえば、 $R31 = 43\text{ k}\Omega$ 、 $R33 = 27\text{ k}\Omega$ 、 $R32 = 500\Omega \sim 1\text{ k}\Omega$ となっている。

## 【0071】

つまり、帰還分周回路・差動CMOS部7bは、図4に示す帰還分周回路・PECI部7aの入力インピーダンス $50\Omega$ に比べて入力インピーダンスが高いので、バイアス抵抗R32を $100\Omega$ より高い抵抗値（ $500\Omega \sim 1\text{ k}\Omega$ ）にして

入出力間のインピーダンス変換（調整）をしている。この結果、帰還分周回路・差動CMOS部7bの入力信号の振幅を大きくとることができ、且つ、インピーダンス変換（調整）を良くすることができる。これにより、PLL帰還信号の立ち上がり立ち下がりが急峻になり、帰還分周回路・差動CMOS部7bにおける差動動作を安定させ誤動作を防止することができる。

## 【0072】

また、VCSO・PECL部4aの出力端子T4の終端抵抗R35についても、PLL帰還ループの出力インピーダンスが高いので、例えば、 $R35 = 500\Omega \sim 1k\Omega$ とすることによって、従来技術における図12の終端抵抗R55を50Ωの出力インピーダンスの値とするのに比べて高抵抗化することができる。これによって、VCSO・PECL部4aの終端抵抗R35に流れる電流は、電源電圧によっても異なるが、例えば2.5～5mA程度とかなり小さくなるために、VCSO・PECL部4aの差動ECL増幅回路の消費電流が抑制され、低消費電力のクロック変換器を実現することができる。

## 【0073】

また、VCSO・PECL部4aと帰還分周回路・差動CMOS部7bではバイアス電圧が異なるので、コンデンサC32によってAC結合を図っている。さらに、VCSO・PECL部4aの差動増幅回路はオープンエミッタ構成であるため、VCSO・PECL部4aの出力端子T4に抵抗R35を接続して終端させることによってエミッタ電流を流すことでクロック信号を出力している。このとき、この終端抵抗R35の抵抗値が従来の50Ωから10～20倍の500Ω～1kΩにすることができるので、VCSO・PECL部4aから送出される出力信号の振幅を従来よりも大きくすることができる（ただし、エミッタ電位は一定であるとする）。さらに、終端抵抗R35を大きくしたことによってエミッタ電流が小さくなり、VCSO・PECL部4aの消費電流を小さくすることができる。

## 【0074】

次に、上記の実施の形態によって実現されたクロック変換器の電子機器への応用例について説明する。図8は、本発明のクロック変換器を用いた10ギガビット

トの光インターフェースの概略構成図である。光ネットワーク向けの光トランシーバ用モジュール100は、例えば、サーバ用コンピュータと光ネットワークとの間で、光／電気変換及び電気／光変換と多重化及び分離化のためのインターフェース機能を実現するモジュールである。この光トランシーバ用モジュール100は、クロック変換器103で生成された高周波のクロック信号が多重化部（MUX）101の基準クロック信号として用いられている。

## 【0075】

各ブロックはそれぞれ次のような機能を備えている。多重化部（MUX）101は、下位のシステムから受信した複数の送信低速データ（TxDATA×N）を多重化する。ここで、Nは整数であって、例えばN=16である。電気／光変換部（TxE-O）102は電気信号を光信号（OPTOUT）に変換して光伝送路に送出し、光／電気変換部（RxO-E）105は光伝送路から受信した光信号（OPTIN）を電気信号に変換する。分離化部（DeMUX/CDR）104は、光／電気変換部（RxO-E）105によって電気信号に変換された受信データを複数の受信低速データ（RxDATA×N）に分離する。クロック変換器103は低周波のクロック信号を倍増し、高周波数の基準クロック信号を多重化部（MUX）101へ供給する。選択部106は、低周波数の外部クロック信号（TxREF）または分離化部（DeMUX/CDR）104からのクロック信号RxCLOCKから所望のクロック信号を選択してクロック変換器103へ供給する。

## 【0076】

次に、光トランシーバ用モジュール100の動作について説明する。クロック変換器103は、選択部106によって選択された低周波数の外部クロック信号（TxREF）を高周波数のクロック信号に変換する。例えば、選択部106が64kHz～155.52MHzの低周波数の外部クロック信号（TxREF）を選択してクロック変換器103へ供給すると、クロック変換器103は、600MHz帯の622.08MHzの高周波数のクロック信号に変換して多重化部（MUX）101へ供給する。これによって、電気／光変換部（TxE-O）102ではOC-192（10GHz帯）の光信号（OPTOUT）が光伝送路へ送

出される。

【0077】

また、分離化部（DeMUX/CDR）104は、CDR（Clock and Data Recovery）機能により、光／電気変換部（RXO-E）105から受信した光信号（OPIN）のデータから高周波数のクロック信号を抽出する。選択部106が、クロック信号（RCLK）を選択した場合は、ジッタが多く含まれたクロック信号（RCLK）のジッタが低減され、その後、クロック変換器103からジッタの少ない高周波数のクロック信号が多重化部（MUX）101へ供給される。

【0078】

つまり、本発明のクロック変換器103を光トランシーバ用モジュール100に用いて、外部から供給されたクロック信号を使用する場合、クロック変換器103に接続された周辺の回路からの影響を受けることなく、クロック変換器103はジッタの少ない高周波数のクロック信号を生成して多重化部（MUX）101へ供給することができる。これによって、多重化部（MUX）101において多重化する送信データ（TXDATA×N）とクロック信号との間におけるタイミングマージンが確保されるので、多重化部（MUX）101の送信データの誤動作を防止することができる。

【0079】

また、クロック変換器103は、前述のように、基板上において配線パターンの微細化や部品の低減化が図られて小スペース化されている。したがって、このようなクロック変換器103を用いることによって、光トランシーバ用モジュール100の小型化、低コスト化を実現することができる。また、本発明のクロック変換器を用いることにより、動画像のような大量のデータが伝送できる10ギガビットイーサネット（登録商標）に代表されるような高速なネットワークシステムにおいても、安定した動作を容易に確保することができる。

【0080】

以上述べた実施の形態は本発明を説明するための一例であり、本発明は、上記の実施の形態に限定されるものではなく、発明の要旨の範囲内で種々の変形が可

能である。例えば、上記の実施の形態では SAW 共振子を用いた VCSO によるクロック変換器について述べたが、これに限定されるものではない。例えば、図 2において示されているように、高周波用の AT 水晶振動子 17 を用いた VCXO によっても本発明のクロック変換器を実現することができるし、SAW 共振子や AT 水晶振動子に限定されることなく、圧電振動子を用いた VCO によって本発明のクロック変換器を実現することもできる。

## 【0081】

## 変形例

## (第1変形例)

又、発振回路をネットワーク用の光トランシーバ用モジュールに用いる場合について説明したが、発振回路、特に高周波発振回路を必要とする携帯電話などの無線通信機器など各種電子機器に適用することが可能である。

## 【0082】

## (第2変形例)

又、原則的に、SAW 共振子 → 増幅器（帰還バッファ用増幅器も含む） → 電圧制御型移相回路の順番で正帰還ループを形成しているが、正帰還ループ中において、SAW 共振子と電圧制御型移相回路の配置を入れ替えて、その正帰還ループを構成してもよい。

## 【0083】

## (第3変形例)

水晶振動子、セラミック振動子や SAW 共振子等の圧電振動子を構成する圧電材料について、水晶の他、他の圧電材料としてランガサイトや四ほう酸リチウムを用いた構成としてもよい。

## 【0084】

## 【発明の効果】

以上説明したように、本発明のクロック変換器によれば、差動バッファから PLL 帰還ループを取り出しているので、VCSO の出力側の負荷変動に伴って生じるクロック信号の振幅の不安定や波形の変形などに影響されない PLL 帰還ループを実現することができる。また、PLL 帰還ループの配線パターンを 1 本に

することによって信号伝達回路の小スペース化を図ることができ、かつバッファ用の差動変換回路を新たに付加する必要がないので、小型かつ経済的なクロック変換器を実現することができる。

#### 【0085】

さらに、VCSOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段のPECL部との間、いわゆるPECL部-PECL部間の信号伝達回路を構成する場合、従来のように $50\Omega$ のストリップ線路や専用ケーブルを使用する必要がなく、基板上に形成した配線パターンと部品のレイアウトによって直流バイアス手段を兼ね備えたPLL帰還ループの形成とインピーダンス整合を行うことができるので、信号伝達回路の更なる小スペース化を図ることができる。

#### 【0086】

また、高誘電材料の基板を使用することによって、クロック信号の受け渡しを行うための $50\Omega$ の低インピーダンス線路を細い配線パターンで形成することができるので、この点からも基板全体の小スペース化を図ることができる。さらに、インピーダンス整合を行うための抵抗、コンデンサなどのディスクリート部品の、グランド側の配線パターンの線幅を太くすることによって、高周波ノイズをパスさせるためのコンデンサを形成することができるので、ノイズマージンの高いクロック変換器を実現することができる。

#### 【0087】

また、VCSOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段の差動CMOS部との間、いわゆるPECL部-差動型CMOS回路間の信号伝達回路を構成する場合、差動CMOS回路の入力インピーダンスが高インピーダンスであることから、差動CMOS部の入力側のバイアス抵抗を伝送線路インピーダンス( $50\Omega$ )に対して高インピーダンス( $500\Omega\sim1k\Omega$ )にすることができる。よって、位相比較回路の入力側のクロック信号の振幅を大きくすることができるので、クロック信号の立ち上がり/立ち下がり波形が急峻になり、ジッタの軽減されたクロック信号を出力することができる。これによって、短期的な周波数精度の高いクロック変換器を実現することができる。

## 【0088】

さらに、P E C L部-差動型CMOS回路間のP L L帰還ループについては高インピーダンス線路が使用できるので、その配線パターンの線幅を細くすることができます、もって基板の小スペース化を図ることができる。また、P L L帰還ループの高インピーダンス化によって、V S C O・P E C L部側の終端抵抗を大きくすることができるので、クロック変換器の消費電力を軽減することができる。

## 【図面の簡単な説明】

【図1】 (a) は本発明の実施の形態におけるクロック変換器の構成を示すブロック図であり、(b) は位相比較回路の内部構成を示すブロック図である。

【図2】 図1に示すクロック変換器内のV C S Oの構成を示すブロック図である。

【図3】 図2に示す差動バッファ11, 12, 13の具体的な構成を示す差動増幅回路の回路図である。

【図4】 図1に示すクロック変換器1におけるV C S Oの出力段のP E C L部と位相比較回路I Cチップの帰還分周回路の入力段のP E C L部との間の信号伝達回路の構成図である。

【図5】 図4に示す信号伝達回路の基板上の配線パターンを示すパターン図である。

【図6】 図1に示すクロック変換器1におけるV C S Oの出力段のP E C L部と位相比較回路I Cチップの帰還分周回路の入力段のP E C L部との間の信号伝達回路の他の構成図である。

【図7】 図1に示すクロック変換器における、V C S Oの出力段のP E C L部と位相比較回路I Cチップの帰還分周回路の入力段の差動CMOS部との間の信号伝達回路の構成図である。

【図8】 本発明のクロック変換器を用いた10ギガビットの光インターフェースの概略構成図である。

【図9】 一般的なV C X Oの構成を示す概念図である。

【図10】 従来のクロック変換器の構成を示すブロック図である。

【図11】 図10に示すクロック変換器におけるVCOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段のPECL部との間の従来の信号伝達回路の構成図である。

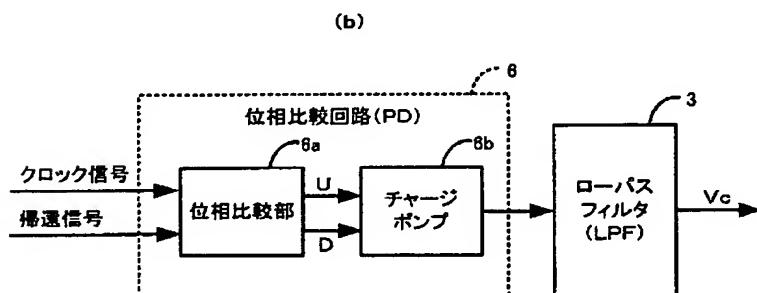
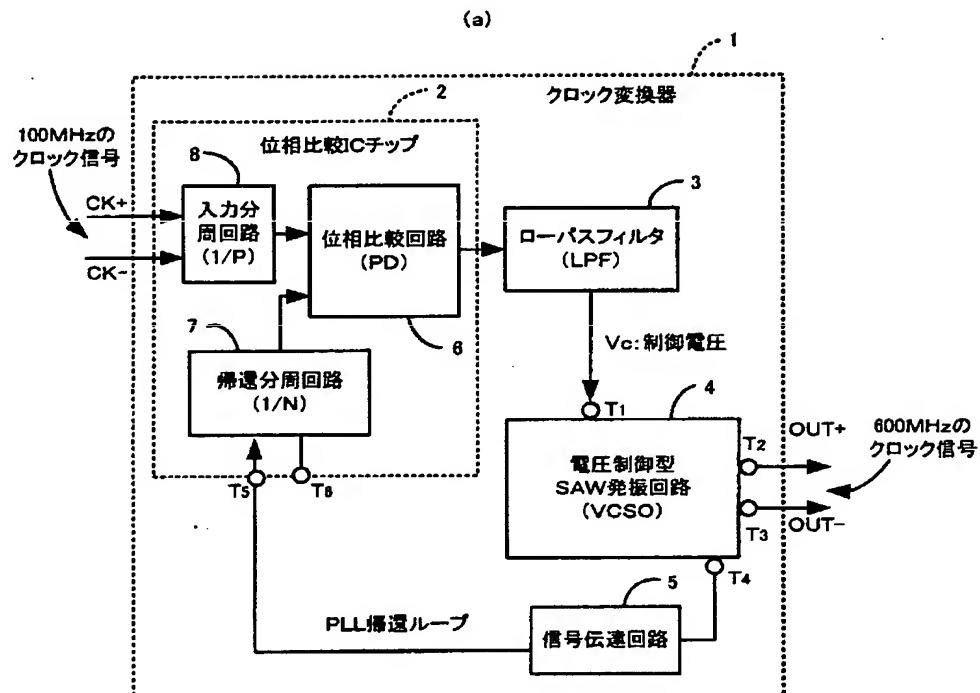
【図12】 図10に示すクロック変換器における、VCOの出力段のPECL部と位相比較回路ICチップの帰還分周回路の入力段の差動CMOS部との間の従来の信号伝達回路の構成図である。

【符号の説明】

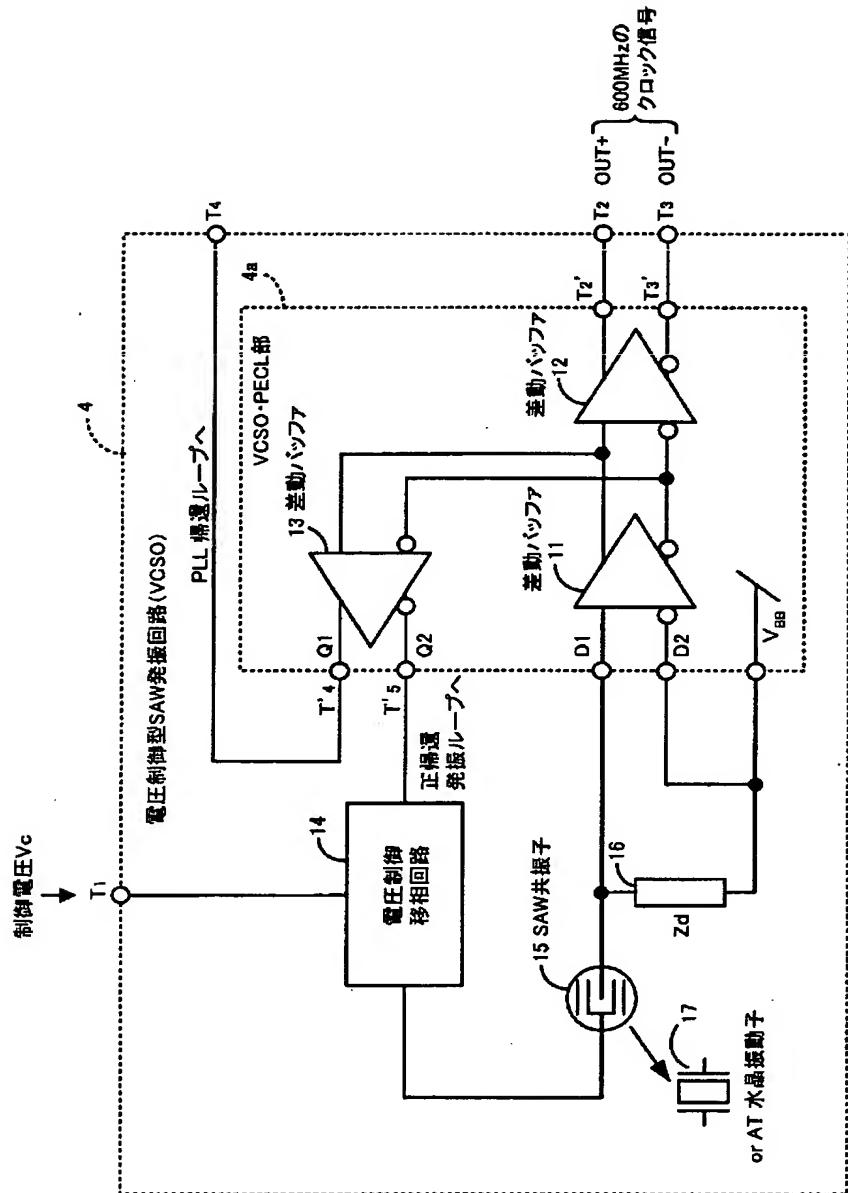
1, 1' …クロック変換器、2…位相比較ICチップ（位相比較手段）、3…ローパスフィルタ（LPF）、4…電圧制御型SAW発振回路（VCSO：電圧制御発振手段）、4' …電圧制御型水晶発振回路（VCXO：電圧制御発振手段）、4a…VCSO・PECL部、4'a…VCXO・PECL部、5…信号伝達回路（信号伝達手段）、6…位相比較回路（PD）、6a…位相比較部、6b…チャージポンプ、7…帰還分周回路（1/N）、7a…帰還分周回路・PECL部、7b…帰還分周回路・差動CMOS部、8…入力分周回路（1/P）、11, 12, 13…差動バッファ、14…電圧制御型移相回路（電圧制御移相手段）、15…SAW共振子、16…インピーダンス（Zd）、17…AT水晶振動子、18…発振部、19…周波数倍増部、20…差動変換部、100…光トランシーバ用モジュール、101…多重化部（MUX）、102…電気／光変換部（TxE-O）、103…クロック変換器、104…分離化部（DeMUX/CDR）、105…光／電気変換部（RxO-E）、106…選択部

【書類名】 図面

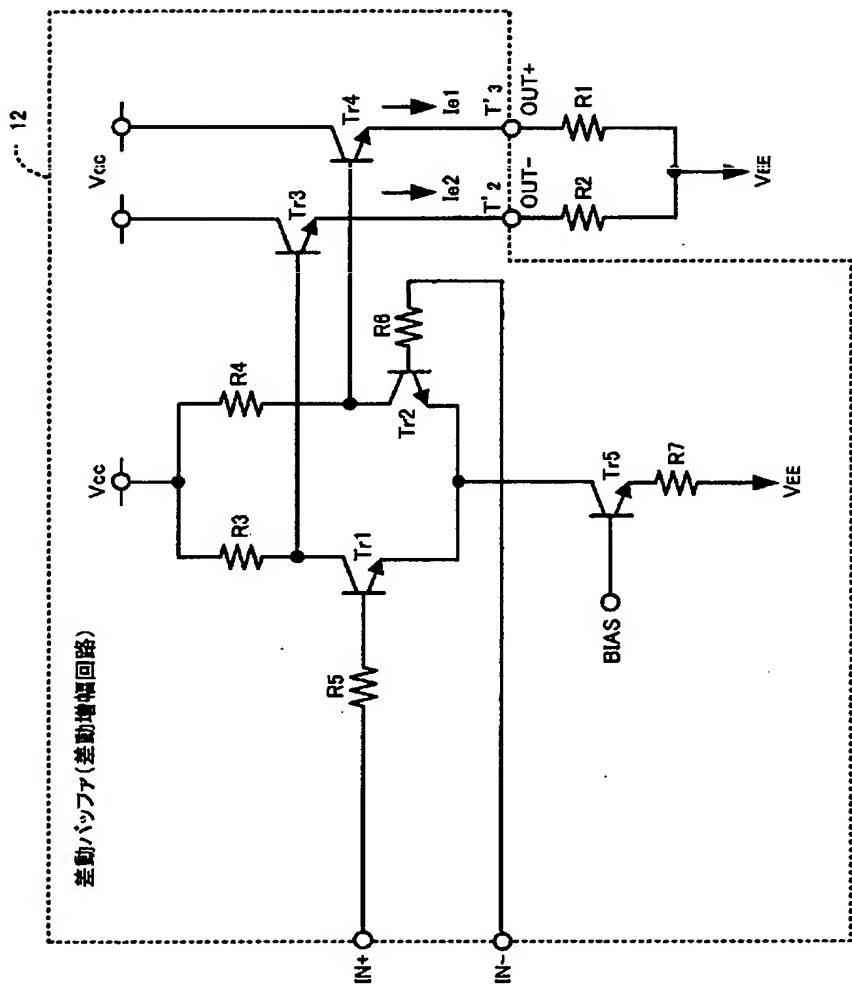
【図1】



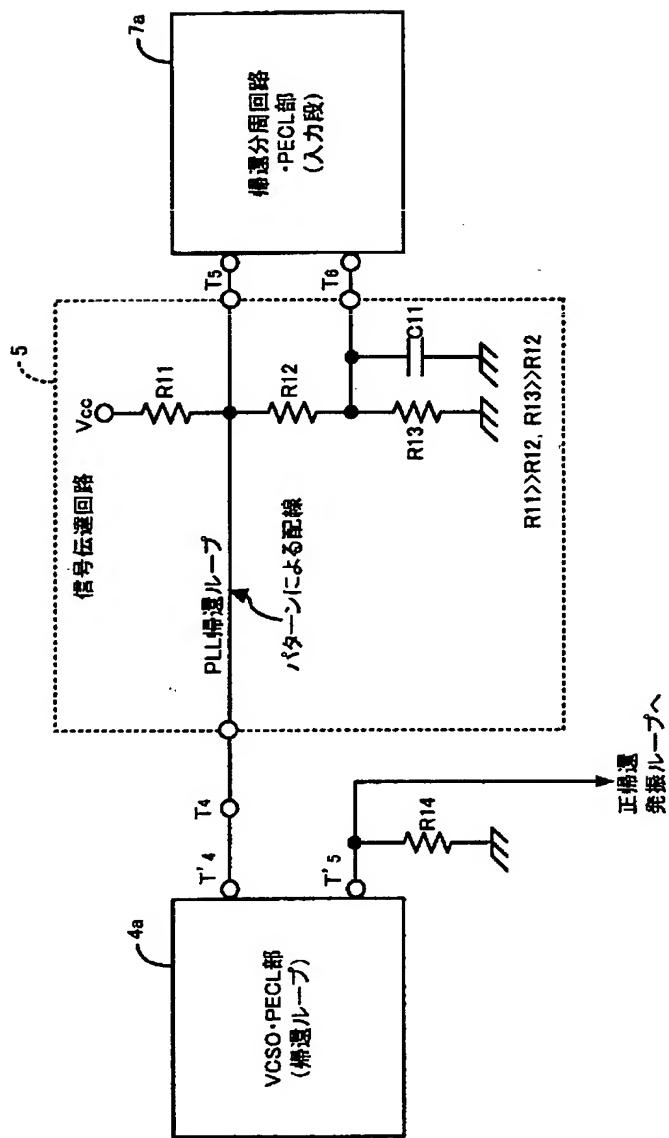
【図2】



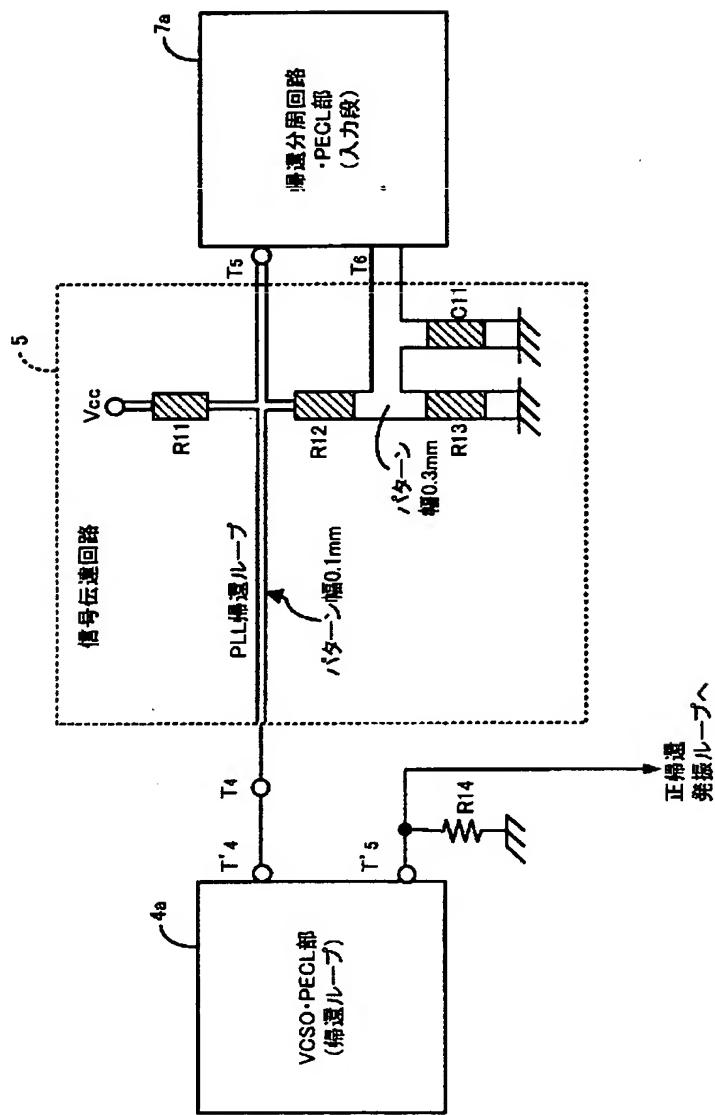
【図3】



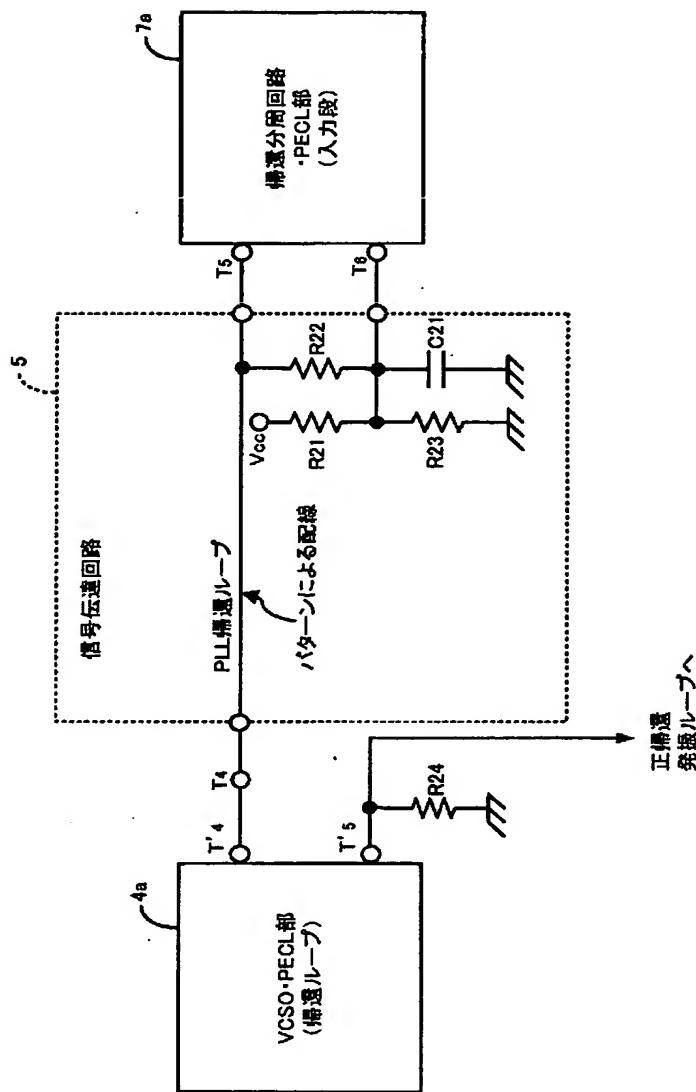
【図4】



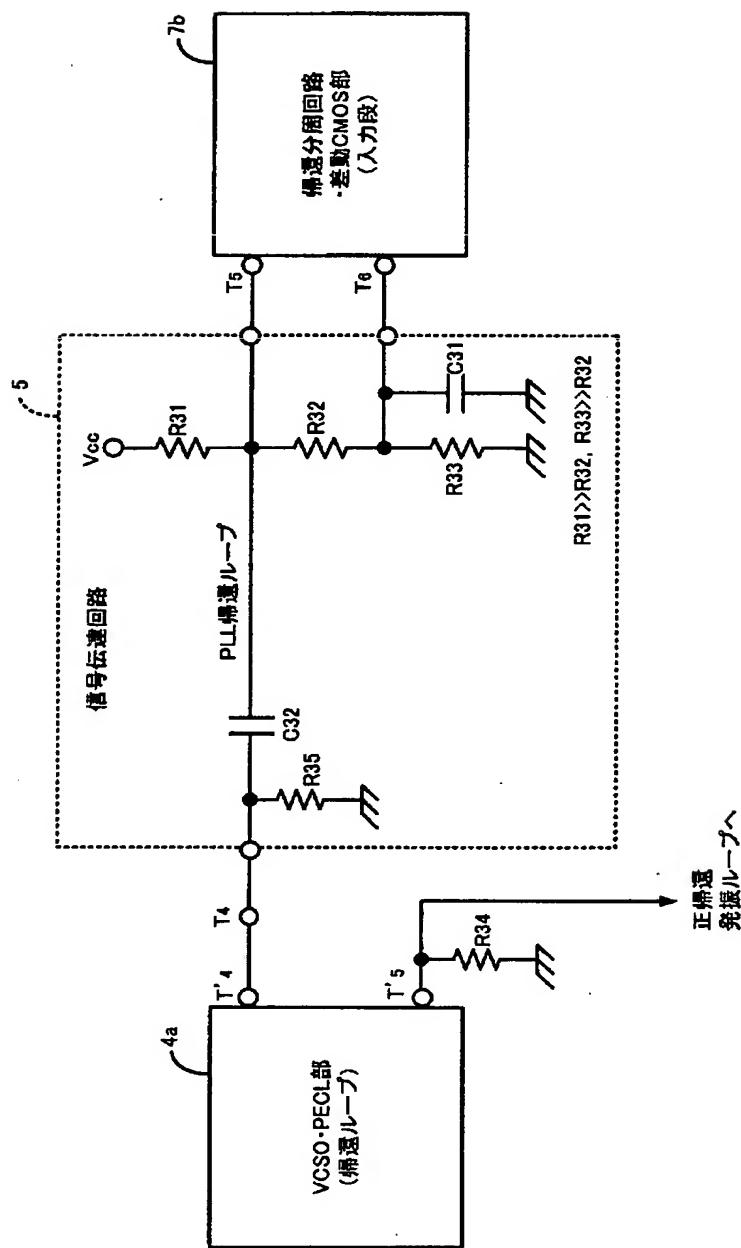
【図5】



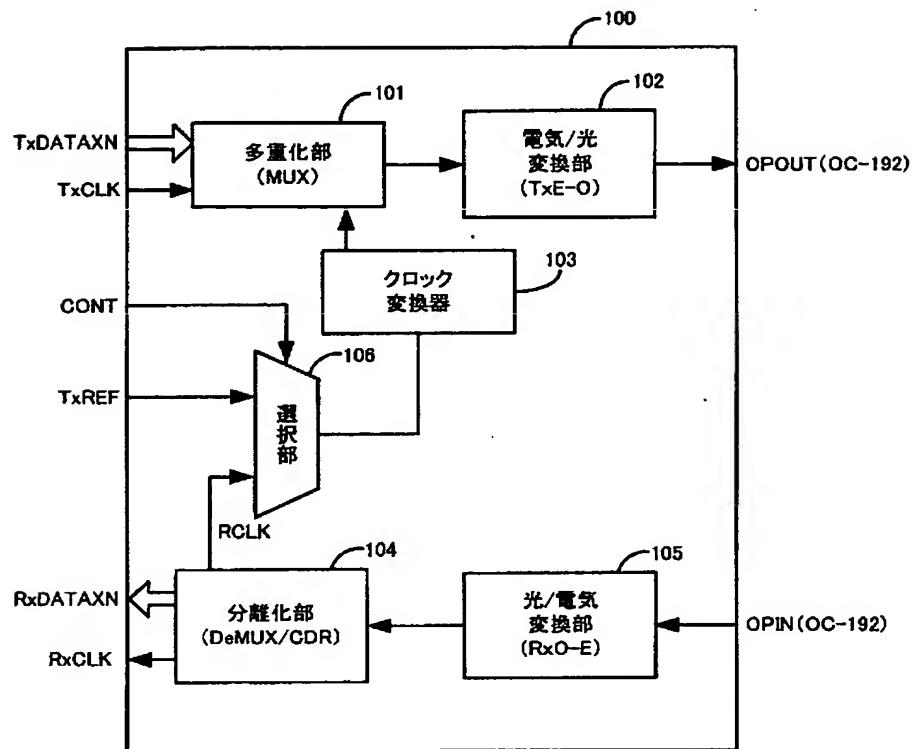
【図6】



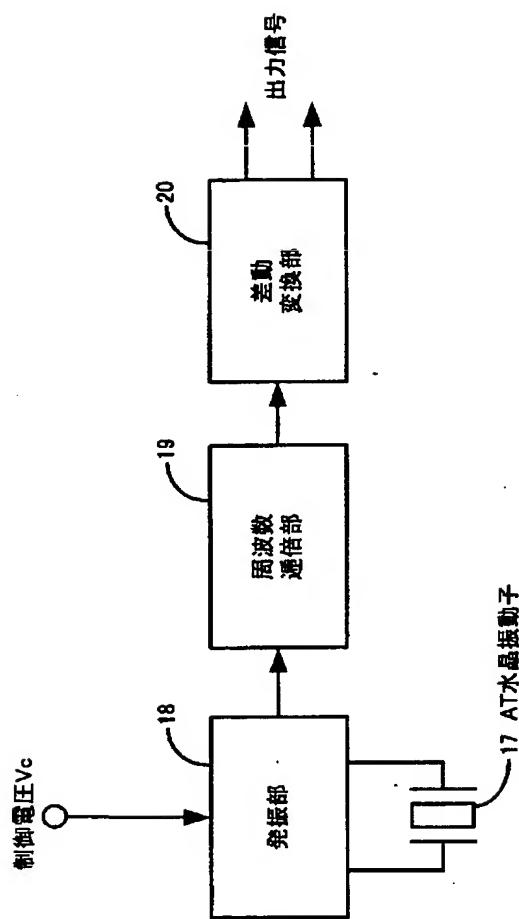
【図7】



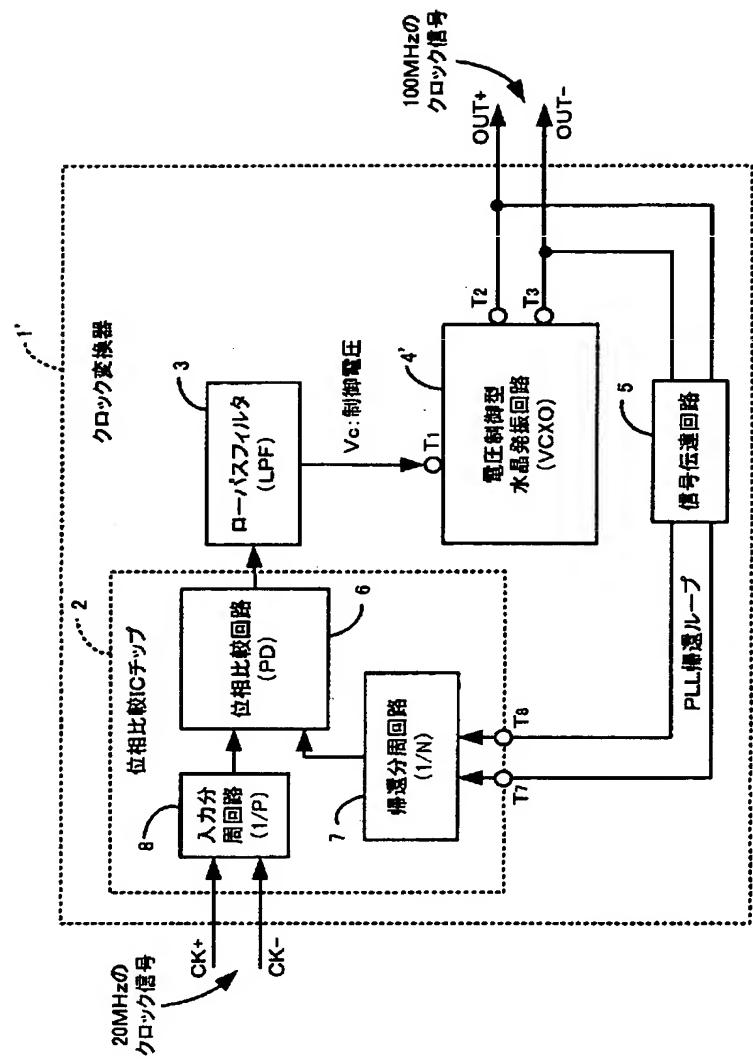
【図8】



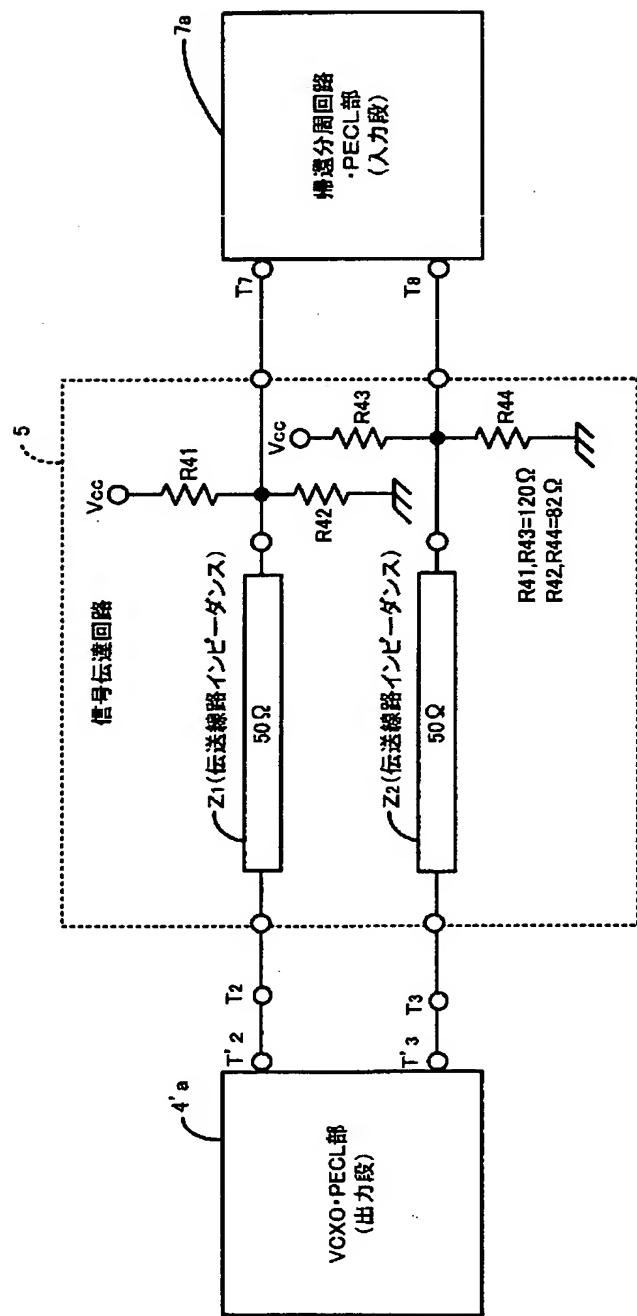
【図9】



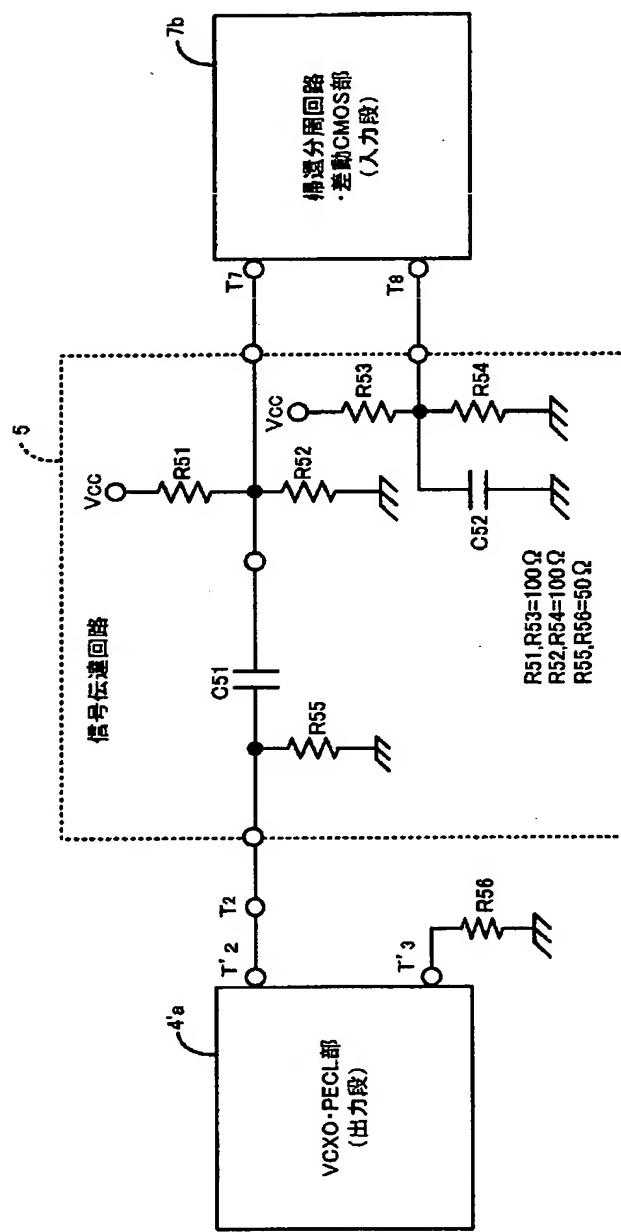
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 電圧制御発振手段から取り出したPLL帰還信号と入力信号とを位相同期させて、入力信号よりも高い周波数のクロック信号を出力するクロック変換器を供給する。

【解決手段】 クロック変換器中の電圧制御発振手段4は、電圧制御型移相手段14を用いた正帰還ループの一部を構成するバッファ手段13の一方の出力端子から正帰還ループ用の正帰還信号を出力し、他方の出力端子からPLL帰還信号を出力する。このPLL帰還信号は信号伝達回路5を介して位相比較手段2へ帰還される。この結果、負荷に影響されないPLL帰還ループを形成でき、安定な高周波クロック信号が出力される。さらに、信号伝達回路5において配線パターンを細くすることによって、小型のクロック変換器1を実現できる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-279284
受付番号	50201432540
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月26日

＜認定情報・付加情報＞

【提出日】 平成14年 9月25日

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社